

PAT-NO: JP02000242358A  
DOCUMENT-IDENTIFIER: JP 2000242358 A  
TITLE: TIMING SIGNAL GENERATING CIRCUIT

PUBN-DATE: September 8, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIBAZAKI, SHUNICHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ANDO ELECTRIC CO LTD	N/A

APPL-NO: JP11039244

APPL-DATE: February 17, 1999

INT-CL (IPC): G06F001/04 , G06F001/06 , G06F001/08

ABSTRACT:

PROBLEM TO BE SOLVED: To enable wide-range timing setting with a small circuit scale without increasing the bits of a counter.

SOLUTION: The timing signal generating circuit has a reference signal frequency **dividing** circuit 18 which **generates clocks** of different kind of frequencies according to a reference clock, a **selector** 20 which **selects** and outputs one of the clocks of different kind of frequencies generated by the reference signal frequency **dividing** circuit, and a control circuit 22. The control circuit controls the selector and counter so as to select one of the clocks according to the time from the start of counting operation of the counter 12 to the output of a timing signal and also set the count value of the counter.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-242358

(P2000-242358A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	特許出願公開番号
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 F 5 B 0 7 9
1/06			3 1 0 A
1/08			3 2 0 A

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21)出願番号 特願平11-39244  
(22)出願日 平成11年2月17日(1999.2.17)

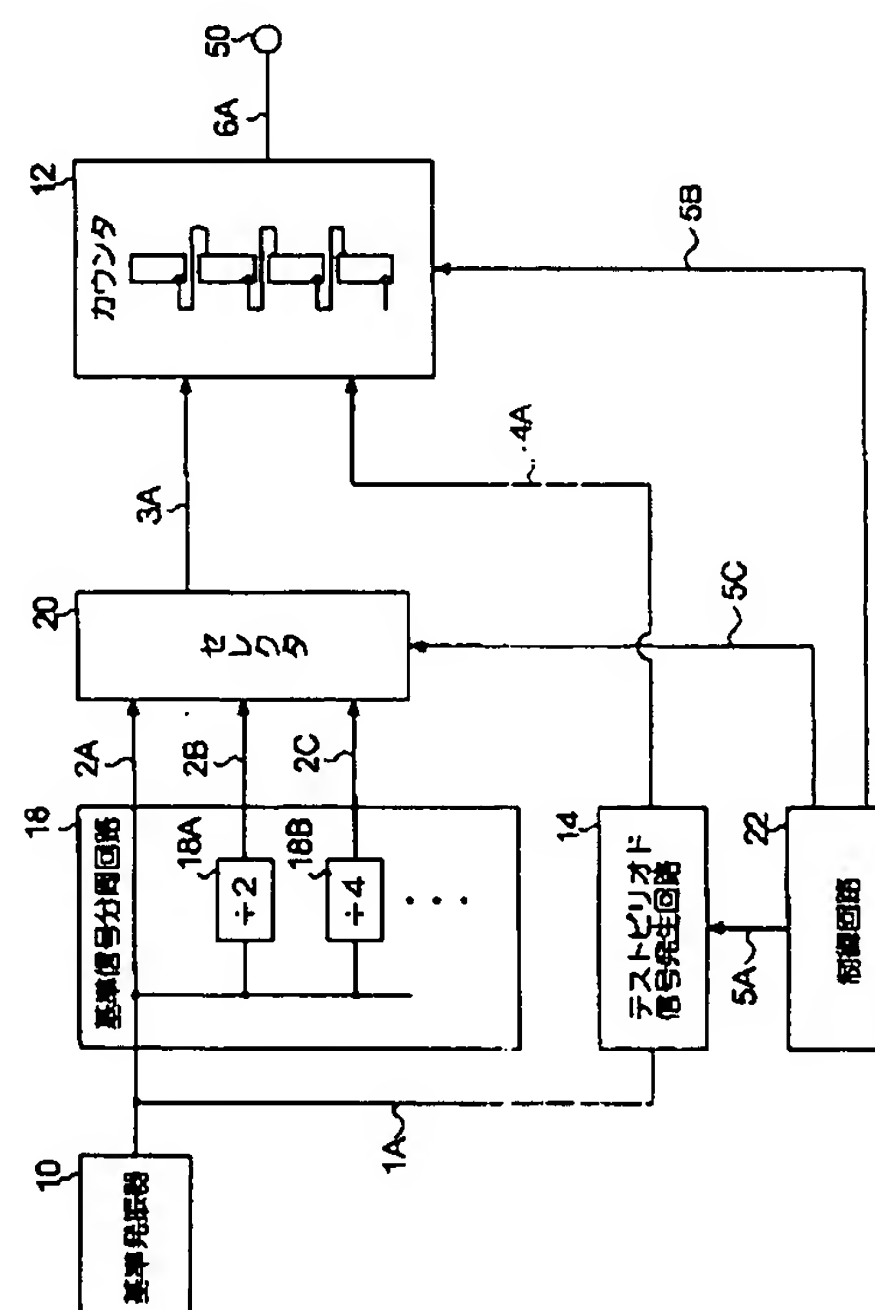
(71)出願人 000117744  
安藤電気株式会社  
東京都大田区蒲田4丁目19番7号  
(72)発明者 柴崎 俊一郎  
東京都大田区蒲田4丁目19番7号 安藤電  
気株式会社内  
(74)代理人 100064908  
弁理士 志賀 正武 (外8名)  
Fターム(参考) 5B079 AA10 BA03 BC10 DD05

(54)【発明の名称】 タイミング信号発生回路

(57)【要約】

【課題】 カウンタのビット数を増やすことなく、小回路規模で広範囲のタイミング設定を可能とするタイミング信号発生回路を提供する。

【解決手段】 基準クロックに基づいて複数種の周波数のクロックを生成する基準信号分周回路18と、基準信号分周回路により生成される複数種の周波数のクロックのうちの一のクロックを選択して出力するセクタ20とを有し、制御回路22はカウンタ12の計数動作開始時点からタイミング信号を出力する時点までの時間に応じて前記複数種の周波数のクロックのうちいずれか一のクロックを選択し、かつカウンタの計数値を設定するようにセクタ及びカウンタを制御する。



## 【特許請求の範囲】

【請求項1】 一定周波数の基準クロックを出力する基準発振器と、前記基準クロックを計数し設定された計数値に達した時点でタイミング信号を出力するカウンタと、前記カウンタの計数値の設定及び計数動作開始時のタイミングの設定を行う制御手段とを有するタイミング信号発生回路において、

前記基準クロックに基づいて複数種の周波数のクロックを生成するクロック信号生成手段と、

前記クロック信号生成手段により生成される複数種の周波数のクロックのうちの一の周波数のクロックを選択して出力するクロック選択手段とを有し、

前記制御手段は、前記カウンタの計数動作開始時点からタイミング信号を出力する時点までの時間に応じて前記複数種の周波数のクロックのうちのいずれかのクロックを選択し、かつ前記カウンタの計数値を設定するように前記クロック選択手段及びカウンタを制御することを特徴とするタイミング信号発生回路。

【請求項2】 前記クロック信号生成手段は、前記基準発振器より出力される基準クロックを異なる分周比で分周する複数の分周器を有し、該複数の各分周器より異なる周波数のクロックを出力することを特徴とする請求項1に記載のタイミング信号発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ICテスト等の半導体試験装置に使用するに好適なタイミング信号発生回路に係り、特にカウンタのビット数を増やすことなく、小回路規模にて広範囲のタイミング設定を可能にするタイミング信号発生回路に関する。

## 【0002】

【従来の技術】従来のタイミング信号発生回路の構成を図3に示す。同図において、タイミング信号発生回路は、一定周波数のクロックを出力する基準発振器10と、クロックを計数しタイミング信号を出力するカウンタ12と、カウンタ12から出力されるタイミング信号の出力タイミングを決定するための基準信号であるテストピリオド信号を出力するテストピリオド信号発生回路14と、制御回路16とを有している。

【0003】上記構成においてテストピリオド信号発生回路14は、基準発振器10からの基準クロック1Aと、制御回路16から出力されるテストピリオド値5Aにより設定されるテストピリオド値に従ってテストピリオド信号4Aを出力する。また、出力されたテストピリオド信号4Aに基づいて、カウンタ12は、計数動作を開始し、制御回路16から出力されるカウンタ設定信号5Bにより設定される計数値に従って計数動作を行う。そしてカウンタ12の計数内容が設定された計数値に達した時点で、カウンタ12はタイミング信号出力端子50からタイミング信号6Aを出力する。

## 【0004】

【発明が解決しようとする課題】上述した従来のタイミング信号発生回路では、基準発振器10から出力される一定周波数の基準クロック1Aをカウンタ12で計数することによりタイミング信号を生成するように動作させていた。このために従来のタイミング信号発生回路では、タイミング設定範囲を広げようとした場合にカウンタのビット数を増やす必要があり、回路規模の増大を招くという問題があった。

【0005】本発明はこのような事情に鑑みてなされたものであり、カウンタのビット数を増やすことなく、小回路規模で広範囲のタイミング設定を可能とするタイミング信号発生回路を提供することを目的とする。

## 【0006】

【課題を解決するための手段】上記目的を達成するため請求項1に記載の発明は、一定周波数の基準クロックを出力する基準発振器と、前記基準クロックを計数し設定された計数値に達した時点でタイミング信号を出力するカウンタと、前記カウンタの計数値の設定及び計数動作開始時のタイミングの設定を行う制御手段とを有するタイミング信号発生回路において、前記基準クロックに基づいて複数種の周波数のクロックを生成するクロック信号生成手段と、前記クロック信号生成手段により生成される複数種の周波数のクロックのうちの一の周波数のクロックを選択して出力するクロック選択手段とを有し、前記制御手段は、前記カウンタの計数動作開始時点からタイミング信号を出力する時点までの時間に応じて前記複数種の周波数のクロックのうちのいずれかのクロックを選択し、かつ前記カウンタの計数値を設定するように前記クロック選択手段及びカウンタを制御することを特徴とする。

【0007】また請求項2に記載の発明は、請求項1に記載のタイミング信号発生回路において、前記クロック信号生成手段は、前記基準発振器より出力される基準クロックを異なる分周比で分周する複数の分周器を有し、該複数の各分周器より異なる周波数のクロックを出力することを特徴とする。

【0008】請求項1、2に記載の発明によれば、一定周波数の基準クロックを出力する基準発振器と、前記基準クロックを計数し設定された計数値に達した時点でタイミング信号を出力するカウンタと、前記カウンタの計数値の設定及び計数動作開始時のタイミングの設定を行う制御手段とを有するタイミング信号発生回路において、前記基準クロックに基づいて複数種の周波数のクロックを生成するクロック信号生成手段と、前記クロック信号生成手段により生成される複数種の周波数のクロックのうちの一の周波数のクロックを選択して出力するクロック選択手段とを有し、前記制御手段は、前記カウンタの計数動作開始時点からタイミング信号を出力する時点までの時間に応じて前記複数種の周波数のクロックの

うちのいずれかのクロックを選択し、かつ前記カウンタの計数値を設定するように前記クロック選択手段及びカウンタを制御するようにしたので、カウンタのビット数を増やすことなく、小回路規模で広範囲のタイミング設定が可能となる。

【0009】

【発明の実施の形態】本発明の実施の形態を図面を参照して詳細に説明する。本発明の実施の形態に係るタイミング信号発生回路の構成を図1に示す。同図において、タイミング信号発生回路は、一定周波数の基準クロックを出力する基準発振器10と、クロックを計数しタイミング信号を出力するカウンタ12と、カウンタ12から出力されるタイミング信号の出力タイミングを決定するための基準信号であるテストピリオド信号を出力するテストピリオド信号発生回路14と、基準発振器10より出力される基準クロックに基づいて複数種の周波数のクロックを生成するクロック信号生成手段としての基準信号分周回路18と、基準信号分周回路18より生成される複数種の周波数のクロックのうちの一の周波数のクロックを選択的に出力するクロック選択手段としてのセレクトタ20と、制御手段としての制御回路22とを有している。

【0010】前記基準信号分周回路18は、基準クロックを異なる分周比で分周する複数の分周器18A、18B、…を有し、該複数の各分周器より異なる周波数のクロックを出力する。本実施の形態では分周器18A、18B、…の分周比は2、4、…である。

【0011】制御回路22は、カウンタ12の計数動作開始時のタイミングの設定、すなわちカウンタの起動を行うと共に、カウンタ12の計数動作開始時点からタイミング信号を出力する時点までの時間に応じて基準信号分周回路18より出力される複数種の周波数のクロックのうちのいずれかのクロックを選択し、かつカウンタ12の計数値を設定するようにセレクトタ20及びカウンタ12を制御する。

【0012】上記構成において、基準発振器10より出力される一定周波数の基準クロックは、基準信号分周回路18により複数の分周比で分周され、複数種の異なる周波数のクロックが生成される。

【0013】一方、テストピリオド信号発生回路14は、制御回路22から設定されるテストピリオド値5Aに従って、基準発振器10から出力される基準クロック1Aに同期してテストピリオド信号4Aを生成し、カウンタ12に出力する。カウンタ12は、入力されたテストピリオド信号4Aの出力タイミングをタイミング信号の出力タイミングの起算時点の基準として、計数動作を開始し、その計数内容が制御回路22から出力される計数値設定信号5Bにより設定される計数値に達するまで計数し、計数動作終了時点にタイミング信号6Aをタイミング信号出力端子50より出力する。テストピリオド

信号4Aはカウンタ12の起動信号として機能する。

【0014】上述したように基準発振器10から一定周波数の基準クロック1Aが生成され、基準クロック1Aから基準信号分周回路18により複数の分周クロックが作られる。図中2Aは一分周クロックであり、このクロックは、基準発振器10から出力される基準クロック1Aと同一周波数である。図中2Bは二分周クロックであり、一分周クロック2Aの2倍の周期のクロックである。同様に図中2Cは四分周クロックであり、二分周クロックの2倍の周期のクロックである。以上のように基準信号分周回路18により複数の異なる周波数のクロックが生成されるが、これら複数の異なる周波数のクロックのうちの周波数のクロックを選択するかを、制御回路22から出力されるセレクト信号5Cによって制御されるセクタ20により行われる。

【0015】セクタ20によるクロックの選択と、クロック3Aを計数動作するカウンタ12の計数値5Bの設定は、制御回路22によって最適となるように行われる。

【0016】次に図1に示すタイミング信号発生回路の具体的動作を図2の波形図を参照して説明する。基準発振器10の基準クロック1Aの周波数が500MHzであり、カウンタ12がテストピリオド信号4Aの出力時点t0から16ns後のti時点にタイミング信号を出力すると想定すると、基準信号分周回路18から出力される一分周クロック2Aは500MHz、二分周クロックは250MHz、四分周クロックは125MHzとなり、それら複数の異なる周波数のクロックのうちの特定のクロックの選択と、カウンタ12への計数値の設定は制御回路22により行われるが、本実施の形態では3通りの選択が考えられる。

【0017】第1は、一分周クロック2Aを使用した場合である。一分周クロック2Aは500MHzであり、クロックピリオドは2nsである。セクタ20のセレクト信号5Cにより一分周クロック2Aを選択した制御回路22は同時にカウンタ12へ計数値を設定するためのカウンタ設定信号5Bを、“8カウント”として設定する。これにより、カウンタ12は、2nsピリオドクロックで8カウントし、テストピリオド信号4Aの出力時点t0から16ns後のti時点にタイミング信号6Aを出力する。

【0018】第2は、二分周クロック2Bを使用した場合である。二分周クロック2Bは250MHzであり、クロックピリオドは4nsである。セクタ20のセレクト信号5Cにより二分周クロック2Bを選択した制御回路22は同時にカウンタ12へカウンタ設定信号5Bを、“4カウント”として設定する。これにより、4nsピリオドクロックで4カウントし、テストピリオド信号4Aの出力時点t0から16ns後のti時点にタイミング信号6Aを出力する。



【0019】同様に、三つ目は四分周クロック2Cを使用した場合である。四分周クロック2Cは125MHzでありクロックピリオドは8nsである。セクタ20のセレクト信号5Cにより四分周クロック2Cを選択した制御回路22は同時にカウンタ12へカウンタ設定信号5Bを、"2カウント"として設定する。これにより、8nsピリオドクロックで2カウントし、テストピリオド信号4Aの出力時点t0から16ns後のti時点にタイミング信号6Aを出力する。

【0020】以上のように、カウンタ12に入力されるクロック3Aの選択と、カウンタ12への計数値の設定は制御回路22により設定されるが、設定する計数値は、タイミング信号6Aの出力時点により、最適なものが選択される。また、セクタ20により選択するクロックの周波数が低いほど、タイミング信号6Aの出力タイミングを遅くするように設定することができる。

【0021】本実施の形態に係るタイミング信号発生回路によれば、タイミング信号を発生するためのカウンタが計数するクロックを複数の異なる周波数のクロックから適当に選択することにより、カウンタのビット数を増やすことなく、小回路規模にて広範囲のタイミング設定が可能となり、半導体試験装置の小型化にも有効となる。

【0022】

【発明の効果】請求項1、2に記載の発明によれば、一定周波数の基準クロックを出力する基準発振器と、前記基準クロックを計数し設定された計数値に達した時点でタイミング信号を出力するカウンタと、前記カウンタの計数値の設定及び計数動作開始時のタイミングの設定を

行う制御手段とを有するタイミング信号発生回路において、前記基準クロックに基づいて複数種の周波数のクロックを生成するクロック信号生成手段と、前記クロック信号生成手段により生成される複数種の周波数のクロックのうちの一の周波数のクロックを選択して出力するクロック選択手段とを有し、前記制御手段は、前記カウンタの計数動作開始時点からタイミング信号を出力するまでの時間に応じて前記複数種のクロックのうちのいずれかの周波数のクロックを選択し、かつ前記カウンタの計数値を設定するように前記クロック選択手段及びカウンタを制御するようにしたので、カウンタのビット数を増やすことなく、小回路規模で広範囲のタイミング設定が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るタイミング信号発生回路の構成を示すブロック図。

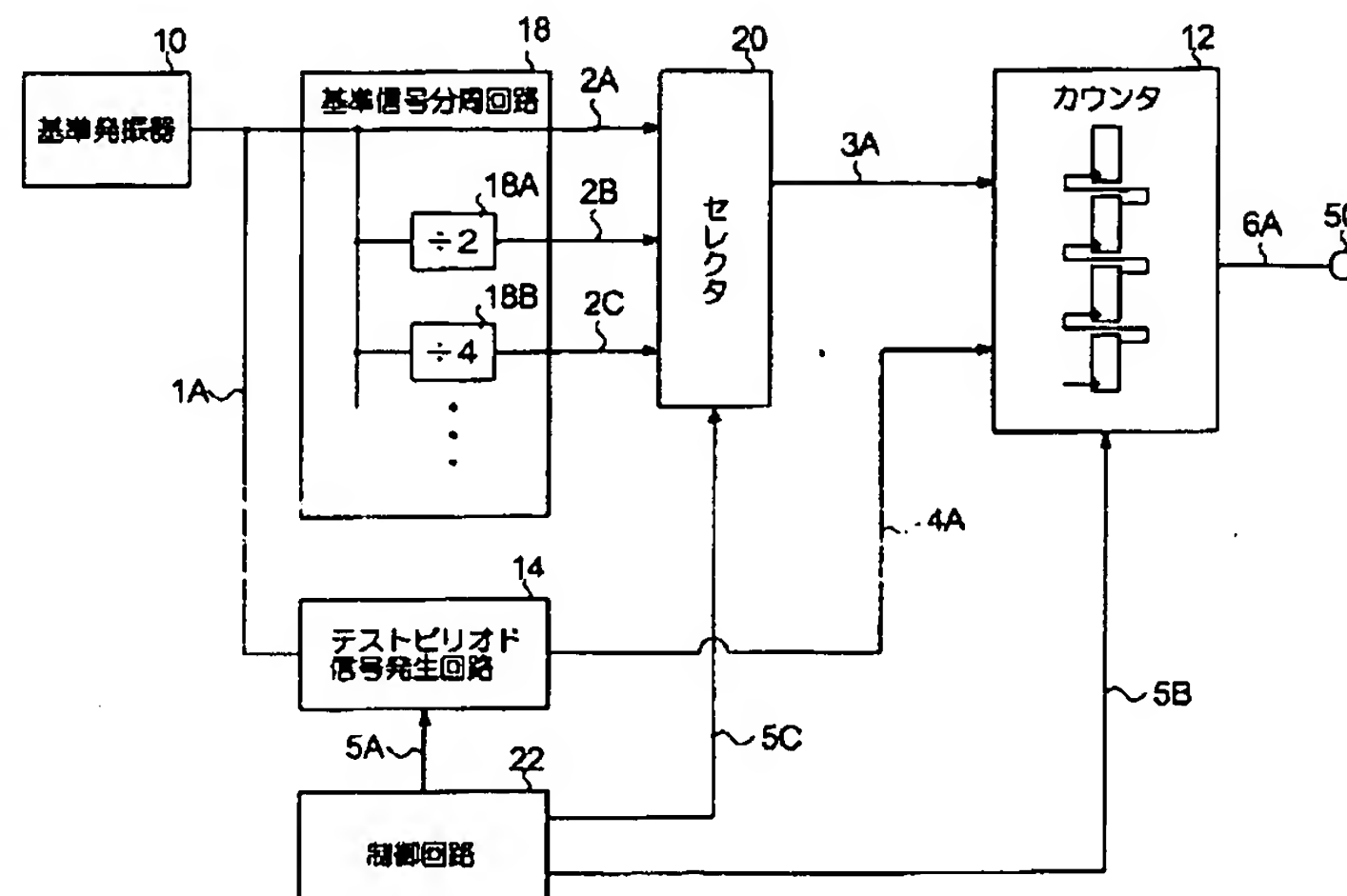
【図2】図1に示したタイミング信号発生回路の動作を説明するためのタイミングチャート。

【図3】従来のタイミング信号発生回路の構成を示すブロック図。

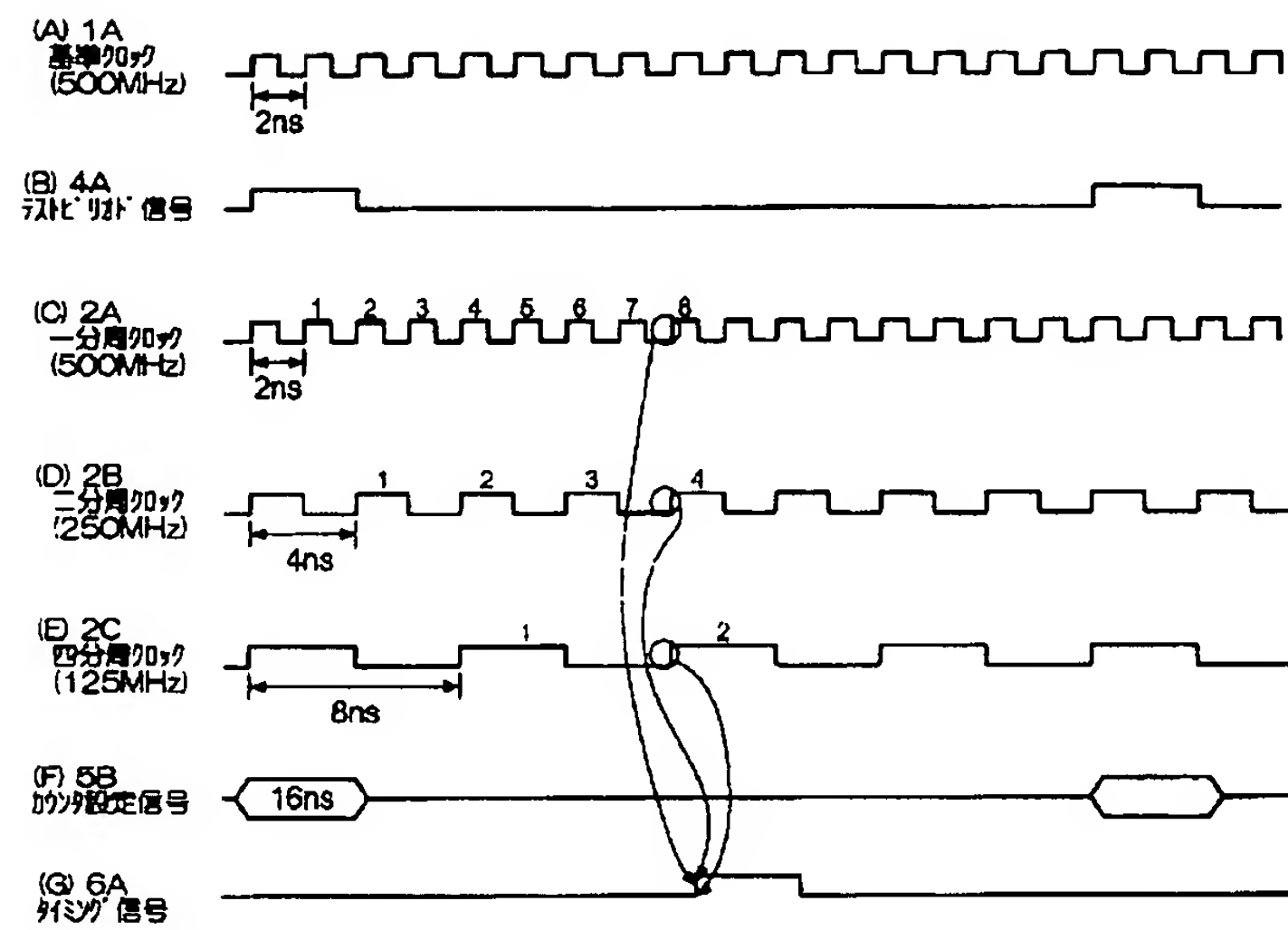
【符号の説明】

- 10 基準発振器
- 12 カウンタ
- 14 テストピリオド信号発生回路
- 18 基準信号分周回路(クロック信号生成手段)
- 20 セクタ(クロック選択手段)
- 22 制御回路(制御手段)
- 50 タイミング信号出力端子

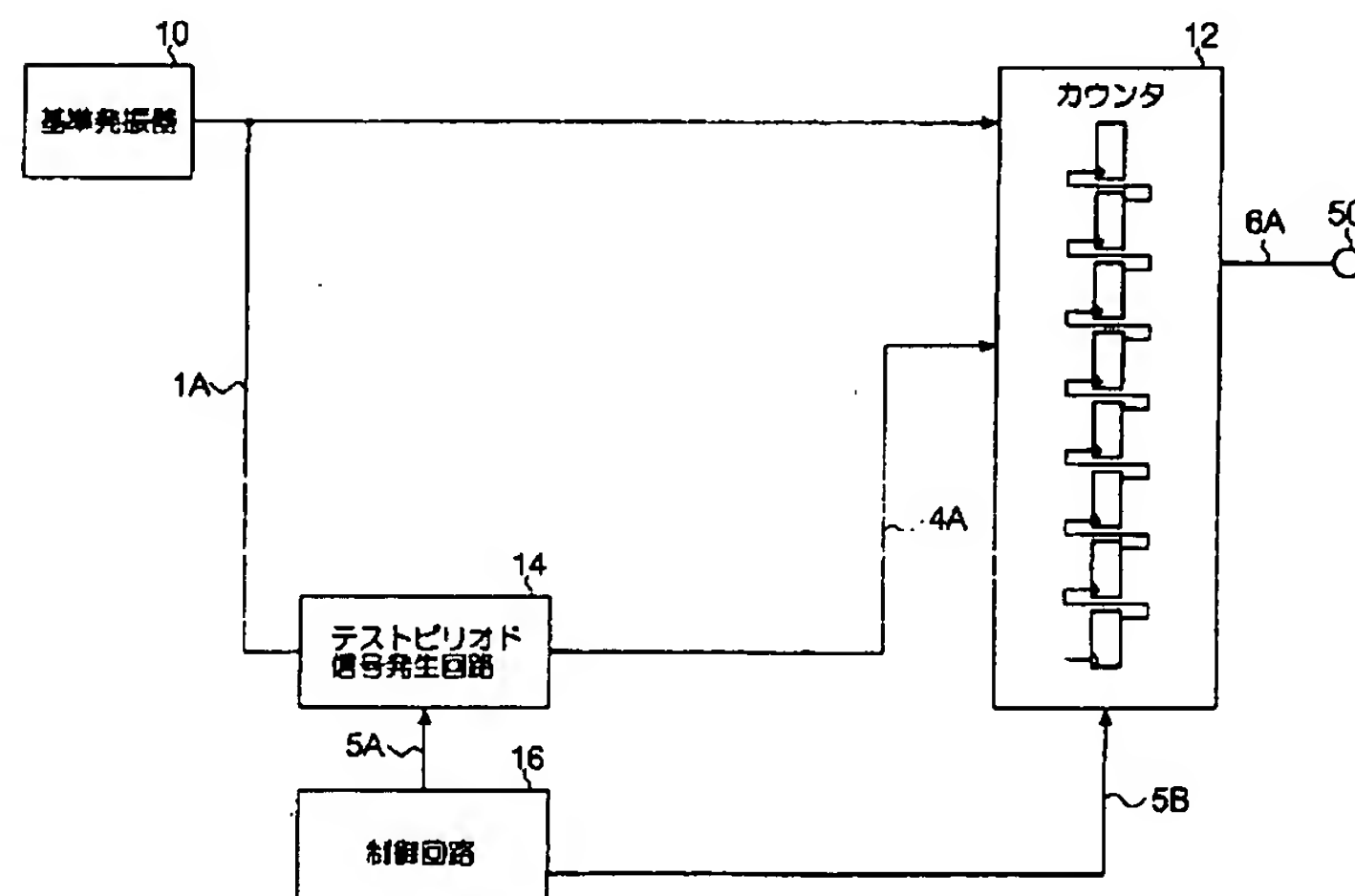
【図1】



【図2】



【図3】



PAT-NO: JP408221151A  
DOCUMENT-IDENTIFIER: JP 08221151 A  
TITLE: CLOCK SUPPLY DEVICE

PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
MORITA, TOMOHIRO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD N/A	

APPL-NO: JP07024154

APPL-DATE: February 13, 1995

INT-CL (IPC): G06F001/06 , G06F001/12

ABSTRACT:

PURPOSE: To provide a clock supply device which can supply an operation clock that synchronizes with the operation clock to a peripheral circuit at all times and is stable to the peripheral circuit even when the operation clock to a CPU is switched.

CONSTITUTION: A reference clock is **divided** by a CPU frequency division part 17 to generate 1st and 2nd clocks. One of the 1st and 2nd clocks is selected by a CPU clock switching part 15 and outputted to the CPU 12, and also inputted to a peripheral circuit frequency division part 18. The peripheral circuit frequency division part 18 outputs 3rd and 4th **clocks generated** by performing frequency division as many times as predetermined and a peripheral circuit clock supply part 16 **selects** and supplies an operation clock of specific frequency to the peripheral circuit 13.

COPYRIGHT: (C)1996, JPO